

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-256560

(43)Date of publication of application : 25.09.1998

(51)Int.Cl.

H01L 29/786
H01L 27/108
H01L 21/8242

(21)Application number : 09-358848

(71)Applicant : SONY CORP

(22)Date of filing : 26.12.1997

(72)Inventor : MIYAZAWA YOSHIHIRO

(30)Priority

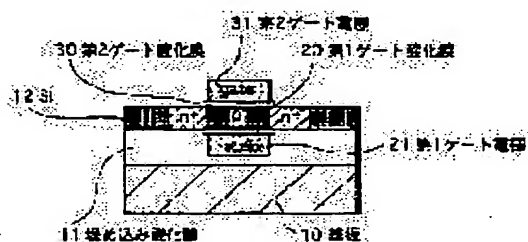
Priority number : 09 2536 Priority date : 10.01.1997 Priority country : JP

(54) METHOD FOR DRIVING SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To increase the rate of change of a threshold voltage relative to a control voltage and to increase the stored amount of charge in a memory cell.

SOLUTION: A semiconductor device is provided with a channel region formed through a buried oxide film 11 on a substrate 10, a first gate electrode 21 placed through a first gate oxide film 20 in the buried oxide film 11 corresponding to the channel region and a second gate electrode 31 provided through a second gate oxide film 30 on the opposite side to the first gate electrode 21 through the channel region. In this case, the first gate electrode 21 or the second gate electrode 31 is driven for signal input and the second gate electrode 31 or the first electrode 21 is driven for threshold controlling. A memory cell provided with a MOS transistor and a capacitive element is equipped with a gate threshold controlling means for controlling a gate threshold of the MOS transistor.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The channel field currently formed in the semi-conductor layer prepared through the insulator layer on a substrate. This channel field and the 1st gate electrode prepared through the 1st gate dielectric film by this insulator layer between these channel fields within said corresponding insulator layer. In the semiconductor device equipped with said 1st gate electrode and the 2nd gate electrode prepared in the opposite side through the 2nd gate dielectric film by making this channel field into between The drive approach of the semiconductor device which carries out either said 1st gate electrode or said 2nd gate electrodes to a signal input, and is characterized by driving another side as an object for gate threshold control.

[Claim 2] The drive approach of the semiconductor device according to claim 1 which carries out said 1st gate electrode which corresponds the thicker one of thickness, or said 2nd gate electrode to a signal input among said 1st gate dielectric film and said 2nd gate dielectric film, and is characterized by driving this 2nd gate electrode or this 1st gate electrode which corresponds the thinner one of this thickness as an object for gate threshold control.

[Claim 3] Said semiconductor device is the drive approach of the semiconductor device according to claim 1 characterized by consisting of a perfect depletion mold SOI-MOS transistor.

[Claim 4] It is the semiconductor device characterized by having the gate threshold control means by which said MOS transistor controls the gate threshold in the semiconductor device with which a memory cell consists of an MOS transistor and a capacitive element.

[Claim 5] Said gate threshold control means is a semiconductor device according to claim 4 characterized by having the short-circuiting means which flows through the 1st gate electrode prepared in the one side of the channel field of said MOS transistor through the 1st gate dielectric film, the 2nd gate electrode prepared in the other side of said channel field through the 2nd gate dielectric film, and said 1st gate electrode and said 2nd gate electrode, and is made into same electric potential.

[Claim 6] The 1st gate electrode with which said gate threshold control means is prepared in the one side of the channel field of said MOS transistor through the 1st gate dielectric film, The 2nd gate electrode prepared in the other side of said channel field through the 2nd gate dielectric film, The signal input line connected to said 1st gate electrode which corresponds the thicker one of thickness among said 1st gate dielectric film and said 2nd gate dielectric film, or said 2nd gate electrode, The semiconductor device according to claim 4 characterized by having the gate threshold control line connected with the 2nd gate electrode or the 1st gate electrode which corresponds the thinner one of said thickness.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The channel field currently formed in the semi-conductor layer prepared through the insulator layer on a substrate. This channel field and the 1st gate electrode prepared through the 1st gate dielectric film by this insulator layer between these channel fields within said corresponding insulator layer. In the semiconductor device equipped with said 1st gate electrode and the 2nd gate electrode prepared in the opposite side through the 2nd gate dielectric film by making this channel field into between The drive approach of the semiconductor device which carries out either said 1st gate electrode or said 2nd gate electrodes to a signal input, and is characterized by driving another side as an object for gate threshold control.

[Claim 2] The drive approach of the semiconductor device according to claim 1 which carries out said 1st gate electrode which corresponds the thicker one of thickness, or said 2nd gate electrode to a signal input among said 1st gate dielectric film and said 2nd gate dielectric film, and is characterized by driving this 2nd gate electrode or this 1st gate electrode which corresponds the thinner one of this thickness as an object for gate threshold control.

[Claim 3] Said semiconductor device is the drive approach of the semiconductor device according to claim 1 characterized by consisting of a perfect depletion mold SOI-MOS transistor.

[Claim 4] It is the semiconductor device characterized by having the gate threshold control means by which said MOS transistor controls the gate threshold in the semiconductor device with which a memory cell consists of an MOS transistor and a capacitative element.

[Claim 5] Said gate threshold control means is a semiconductor device according to claim 4 characterized by having the short-circuiting means which flows through the 1st gate electrode prepared in the one side of the channel field of said MOS transistor through the 1st gate dielectric film, the 2nd gate electrode prepared in the other side of said channel field through the 2nd gate dielectric film, and said 1st gate electrode and said 2nd gate electrode, and is made into same electric potential.

[Claim 6] The 1st gate electrode with which said gate threshold control means is prepared in the one side of the channel field of said MOS transistor through the 1st gate dielectric film, The 2nd gate electrode prepared in the other side of said channel field through the 2nd gate dielectric film, The signal input line connected to said 1st gate electrode which corresponds the thicker one of thickness among said 1st gate dielectric film and said 2nd gate dielectric film, or said 2nd gate electrode, The semiconductor device according to claim 4 characterized by having the gate threshold control line connected with the 2nd gate electrode or the 1st gate electrode which corresponds the thinner one of said thickness.

[Translation done.]

* NOTICES *

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

MEANS

[Means for Solving the Problem] This invention is the drive approach of a semiconductor device and semiconductor device which were accomplished in order to solve such a technical problem. Namely, the drive approach of the semiconductor device of this invention The channel field currently formed in the semiconductor layer prepared through the insulator layer on a substrate, A channel field and the 1st gate electrode prepared through the 1st gate dielectric film by the insulator layer between channel fields within the corresponding insulator layer, In the semiconductor device equipped with the 1st gate electrode and the 2nd gate electrode prepared in the opposite side through the 2nd gate dielectric film by making a channel field into between It is the approach of carrying out the 1st gate electrode or the 2nd gate electrode to a signal input, and driving the 2nd gate electrode or the 1st gate electrode as an object for gate threshold control.

[0023] In the 1st gate electrode and the 2nd gate electrode which were prepared in the condition of facing across a channel field, by such this invention By carrying out the 1st gate electrode or the 2nd gate electrode to a signal input, and driving the 2nd gate electrode or the 1st gate electrode as an object for gate threshold control The electrical potential difference for gate threshold control can be set up independently with the threshold voltage by channel high impurity concentration, and threshold voltage variation to gate threshold control voltage can be enlarged now.

[0024] Moreover, a memory cell consists of an MOS transistor and a capacitive element, and the semiconductor device of this invention is equipped with the gate threshold control means which controls the gate threshold of an MOS transistor.

[0025] In such this invention, since the gate threshold of an MOS transistor is controllable by the gate threshold control means, while making the threshold at the time of actuation low, raising the node potential in a memory cell and securing sufficient amount of charges, the threshold at the time of un-operating is made high, and the leakage current in a subthreshold field can be reduced.

[0026]

[Embodiment of the Invention] Below, the gestalt of the operation in the drive approach of the semiconductor device of this invention is explained based on drawing. Drawing 1 R> 1 is a type section Fig. explaining the configuration of the semiconductor device concerning the drive approach of this operation gestalt.

[0027] Namely, the channel field currently formed in semi-conductor layers (Si12), such as silicon prepared through the embedding oxide film 11 this semiconductor device of whose is an insulator layer on a substrate 10, This channel field and the 1st gate electrode 21 prepared through the 1st gate oxide 20 by that embedding oxide film 11 between channel fields within the corresponding embedding oxide film 11, It is FET of SOI structure equipped with the 1st gate electrode 21 and the 2nd gate electrode 31 prepared in the opposite side through the 2nd gate oxide 30 by making a channel field into between.

[0028] Drawing 2 - drawing 3 are type section Figs. which explain the production process of this semiconductor device in order. First, as shown in drawing 2 (a), the substrate (for example, 725-micrometer thickness) of Si12 is prepared, and as shown in drawing 2 (b), where it etched Si12 and a predetermined crevice is formed, the laminating of SiO2 12a (for example, 0.06-micrometer thickness) and the poly-Si12b (for example, 5-micrometer thickness) is carried out. Under the present circumstances, after forming SiO2 12a, the 1st gate electrode (not shown) which consists of poly-Si which doped for example, 300nm thickness is formed on Si12 used as convex. Subsequently, as shown in drawing 2 (c), flattening polish of the poly-Si12b is carried out.

[0029] Next, as shown in drawing 3 (a), a substrate 10 is stuck through poly-Si12b which carried out flattening at a previous process. Then, as grinding of an edge is performed as shown in drawing 3 (b), and shown in drawing 3 (c), selection polish of Si12 is performed, for example, it leaves only the component formation section of 0.03-micrometer thickness.

[0030] In forming a channel field in this component formation section, or the semiconductor device in this operation gestalt lowers channel high impurity concentration (for example, $5 \times 10^{15} \text{cm}^{-3}$), thickness of Si12 is made thin (for example, 50nm), and it is used as the perfect depletion mold SOI which depletion-layer-ized the channel field with the work-piece one cushion difference of the gate and Channel Si.

[0031] According to the structure which faces across a channel field with such a 1st gate electrode 21 and the 2nd gate electrode 31, threshold voltage V_{th} and variation ΔV_{th} at the time of controlling the threshold voltage can be respectively set up now separately.

[0032] Here, amount of displacement ΔV_{th} of the threshold voltage V_{th} at the time of driving the object for a signal input and the 1st gate electrode 21 for the 2nd gate electrode 31 of the semiconductor device

shown in drawing 1 as an object for threshold control and threshold voltage V_{th} is shown in several 1 and several 2.

[0033]

[Equation 1]

$$V_{th} = \phi_s - V_{FB} + \frac{1}{C_{ox} \left(\frac{1}{C_{si}} + \frac{1}{C_{oxb}} \right)} \left\{ \phi_s - (V_{gb} + V_{FBb}) + \frac{Q_{si}}{C_{oxb}} + \frac{Q_{si}}{2 C_{si}} \right\}$$

$$= \phi_s - V_{FB} + \frac{T_{ox}}{0.333 T_{si} + T_{oxb}} \left\{ \phi_s - (V_{gb} + V_{FBb}) + \frac{Q_{si}}{C_{oxb}} + \frac{Q_{si}}{2 C_{si}} \right\}$$

[0034]

[Equation 2]

$$\Delta V_{th} = - \frac{T_{ox}}{0.333 T_{si} + T_{oxb}} \Delta V_{gb}$$

[0035] Threshold voltage V_{thb} at the time of similarly driving the object for a signal input, and the 2nd gate electrode 31 for the 1st gate electrode 21 of the semiconductor device shown in drawing 1 as an object for threshold control And threshold voltage V_{thb} Amount of displacement ΔV_{thb} It is shown in several 3 and several 4.

[0036]

[Equation 3]

$$V_{thb} = \phi_{sb} - V_{FBb} + \frac{T_{oxb}}{0.333 T_{si} + T_{ox}} \left\{ \phi_{sb} - (V_g + V_{FB}) + \frac{Q_{si}}{C_{ox}} + \frac{Q_{si}}{2 C_{si}} \right\}$$

[0037]

[Equation 4]

$$\Delta V_{thb} = - \frac{T_{oxb}}{0.333 T_{si} + T_{ox}} \Delta V_g$$

[0038] In addition, it sets at each above-mentioned ceremony, and is phis. Si layer surface potential and ϕ_{isb} SOI layer rear-face potential, V_{FB} is Si layer surface flat band voltage and V_{FBb} . SOI layer rear-face flat band voltage, C_{ox} is the 2nd gate capacitance and C_{oxb} . The 1st gate capacitance and C_{si} Si layer capacity, T_{ox} is the 2nd gate oxidation thickness and T_{oxb} . The 1st gate oxidation thickness and T_{si} Si thickness, Q_{si} is the amount of SOI layer impurities, and V_g . They are threshold voltage when the 2nd gate electrode applied voltage and V_{gb} consider the 2nd gate electrode as the 1st gate electrode applied voltage and V_{th} considers to a signal input, and V_{thb} . The threshold voltage at the time of carrying out the 1st gate electrode to a signal input is shown respectively.

[0039] Moreover, change of the threshold voltage V_{th} by the 2nd gate electrode 31 to the applied voltage V_{gb} to the 1st gate electrode 21 of the semiconductor device shown in drawing 1 is shown in drawing 4 and drawing 5. Drawing 4 R> 4 is the case where drawing 5 adds reverse bias to the 1st gate electrode 21, when a forward bias is added to the 1st gate electrode 21.

[0040] In drawing 4 and drawing 5, axes of abscissa are [threshold voltage V_{th} and the axis-of-ordinate right-hand side of the applied voltage V_{gb} and axis-of-ordinate left-hand side to the 1st gate electrode 21] variation $\Delta V_{th}(s)$ of threshold voltage.

[0041] Here, the high-speed operation of a semiconductor device and the standard of the variation of the threshold voltage V_{th} which is needed for leakage current reduction are as follows.

(1) high V_{th} — 0.7 (V)

(2) medium V_{th} — 0.4–0.6 (V)

(3) low V_{th} — 0.0–0.2 (V)

[0042] That is, in performing high-speed operation, in order to make it operate with the comparatively low threshold voltage V_{th} and to control the leakage current at the time of un-operating, it is made the comparatively high threshold voltage V_{th} . From the above-mentioned standard, 0.3 (V) extent is needed as variation of this threshold voltage V_{th} .

[0043] 0.3 (V) When the 1st gate oxide 20 (refer to drawing 1) and the 2nd gate oxide 30 (refer to drawing 1) are made into 5nm thickness as shown in drawing 4 and drawing 5 for example, variation ΔV_{th} of threshold voltage V_{th} can be obtained on the electrical potential difference 0.8 for control (V) impressed to the 1st gate electrode 21.

[0044] For example, when the electrical potential difference of one cell is 1 (V) in a pocket communication terminal, it is practical if the variation of the threshold voltage of 0.3 (V) is obtained in the range of this power source. As conditions with which this is filled, it becomes like $(0.333 T_{si} + T_{oxb})/T_{ox} < 3$.

[0045] However, obtaining the thickness of the 1st gate oxide 20 which fulfills this condition has constraint of heat treatment in a process. So, with this operation gestalt, paying attention to the point which the thickness of the 2nd gate oxide 30 tends to form thinly, the electrical potential difference for threshold voltage control is impressed to the 2nd gate electrode 30, and the 1st gate electrode 20 is driven as an object for a signal input from the 1st gate oxide 20.

[0046] As shown in several 4, it is the thickness T_{oxb} of the 1st gate oxide 20. Threshold voltage V_{thb} of the

1st gate electrode 21 to the applied voltage to the 2nd gate electrode 31 the more the more it becomes large compared with the thickness T_{ox} of the 2nd gate oxide 30 Rate of change becomes large. The alternate long and short dash line of drawing 6 shows this example of count. In addition, the absolute value of each multiplier shows at drawing 6.

[0047] The variation of current drive capacity is effective against a direct circuit property from the variation of threshold voltage practical. the 1st gate electrode 21 converted into the property when the broken line of drawing 6 makes the 1st gate oxide 20 the same thickness (for example, 5nm) as the 2nd gate oxide 30 — equivalent — threshold voltage $E_q.V_{th}$ is shown.

[0048] For example, when the thickness of the 1st gate oxide 20 is 40nm, change of the threshold voltage of about 0.6 (V) can be obtained by impressing the electrical potential difference for control of 1 (V) to the 2nd gate electrode 31. Namely, such equivalent threshold voltage $E_q.V_{thb}$ Even if it converts, it turns out that sufficient effectiveness is acquired.

[0049] this — equivalent — if threshold voltage $E_q.V_{th}$ is expressed with a formula, it will become like several 5. Here, α is a constant ($1 \leq \alpha \leq 2$) showing the short channel effect.

[0050]

[Equation 5]

$$\Delta E_q.V_{th} = - \left(\frac{T_{ox}}{T_{oxb}} \right)^{\frac{1}{\alpha}} \frac{T_{oxb}}{0.333 T_{si} + T_{ox}} \Delta V_g$$

[0051] In addition, although this operation gestalt showed the example which used Si for the channel field, even if this invention is not limited to this but uses other semi-conductors (for example, GaAs), it is the same. Moreover, although this operation gestalt showed the example which drives the semiconductor device of SOI structure, the semiconductor device for a drive is not limited to SOI structure, but it is applicable [semiconductor device] even if it is the so-called diaphragm structure (for example, TFT).

[0052] Furthermore, although the 2nd gate oxide 30 was thinner and the example which carries out the 2nd gate oxide 30 and the corresponding 2nd gate electrode 31 to threshold voltage control, and uses the 1st gate electrode 21 as an object for a signal input was shown mainly from the 1st gate oxide 20 with this operation gestalt This invention is not limited to this but may use the object for threshold voltage control, and the 2nd gate electrode 31 for the 1st gate electrode 21 as an object for a signal input.

[0053] Next, the gestalt of the operation in the semiconductor device of this invention is explained. Drawing 7 (a) is the circuit diagram (the 1) showing the cel of DRAM which is the semiconductor device of this operation gestalt. That is, the cel of this DRAM consists of MOSFET100 and a capacitor 200, and the thing equipped with two, the 1st gate electrode 21 (refer to drawing 1) previously explained as this MOSFET100, the corresponding 1st gate electrode 101 and the 2nd gate electrode 31 (refer to drawing 1), and the corresponding 2nd gate electrode 102, is applied.

[0054] In addition, in MOSFET100 shown in drawing 7 (a), with this operation gestalt, for convenience, the bit line B side is used as Drain D, and the electrode by the side of bit line B and the electrode by the side of a capacitor 200 use a capacitor 200 side as Source S, although the potential relation changes with operating state.

[0055] Word line W is connected to the 1st gate electrode 101 of MOSFET100. This word line W is set to Low level at the time of un-operating, and is set to High level at the time of the data writing to a cel, and read-out.

[0056] Moreover, bit line B is held to one half of interruptible power source electrical potential differences, and becomes the potential of the Low level corresponding to the information which should be written in, or High level at the time of the writing of data. At the time of read-out, it becomes the potential which distributed the stored charge of a capacitor 200, the stored charge of the parasitic capacitance of bit line B, and the stored charge of the drain parasitic capacitance of MOSFET of other cels connected to bit line B by each capacity.

[0057] The stored charge of a capacitor 200 is served as to "0" when Low level is written in, and on the other hand, when High level is written in, it serves as $Q=C-V_{node}$. Here, Q is [the capacity of a capacitor 200 and V_{node} of the amount of stored charge and C] the potentials (threshold voltage of potential-MOSFET100 of V_{node} =High level) of Node N.

[0058] In the cel of such a DRAM of this operation gestalt, by connecting to the control line T the 2nd gate electrode 102 of MOSFET100 which is a front-face side, and driving as an object for threshold control, at the time of actuation, the potential of Node N is raise with a low threshold, the amount of stored charge of a capacitor 200 is raise, and the description is in the point of reducing the leakage current in a subthreshold field with a high threshold at the time of un-operating.

[0059] With this operation gestalt, the charge of a capacitor 200 discharges through MOSFET100 as threshold voltage of MOSFET100, and it is set as a value in which a data retention property does not deteriorate.

[0060] Here, the leakage current of MOSFET100 consists of a subthreshold current and junction leakage current. Junction leakage current is decided by the physical property value and the plane-of-composition product by the junction which forms the source field for electrode formation of MOSFET100. Moreover, it can change by threshold setup and a subthreshold current is $I_{ls}=I_0$ and $\exp(-V_{th}/S)$.

It can come out and express.

[0061] At this formula, I_{ls} is a subthreshold current and I_0 . The amount decided by the physical property value,

the amount it is decided with a physical property value and structure that S will be, and V_{th} are threshold voltage.

[0062] Since S has the value of $65\text{mV} - 100\text{mV}$, if only $65\text{mV} - 100\text{mV}$ of threshold voltage V_{th} becomes high, a single figure subthreshold current will become small. Therefore, threshold voltage V_{th} is usually set as about 0.7V .

[0063] Then, the node potential in the case of writing in 1V of High level is considered compared with the conventional technique from bit line B at the time of supply voltage 1V .

[0064] Drawing 8 is drawing (reverse bias) showing the threshold voltage V_{th} to the electrical potential difference V_{gb} for control, and makes channel high impurity concentration N_a a parameter. When for example, the channel impurity N_a is $3 \times 10^{17}\text{cm}^{-3}$ and the reverse bias of 1V starts as an electrical potential difference V_{gb} for control from this drawing, it turns out that 0.2V of threshold voltage becomes high.

[0065] The need charge accumulated doses of a capacitor 200 are about 30 fC(s) required as soft error resistance. Moreover, the number of cels connected with 1 bit line increases with large-capacity-izing of memory in recent years, and the amount of charges required to drive bit line B at the time of read-out also serves as the same value as the above.

[0066] If potential of word line B is now set to 1V of supply voltage, the node potential V_{node} in the conventional cellular structure cannot be set to 0.23V from the variation (0.07V) of the threshold voltage (0.7V)—threshold of potential (1V of supply voltage)—MOSFET of $V_{node}=\text{High level}$, and cannot obtain sufficient charge storage of a capacitor.

[0067] Moreover, when node potential is raised to about 1V with the conventional word line boost technique, it is what can obtain one about 4 times the charge accumulated dose of this, therefore the potential of a required word line will become the twice [about] of 1.9V , i.e., supply voltage, so that it can be found from the variation (0.2V) of a supply voltage (1V) + threshold voltage (0.7V) + threshold.

[0068] It will become impossible for this reason, to have to make gate oxide thick enough, when securing dependability, such as pressure-proofing, and to take adjustment with other logic sections in such gate oxidization thickness.

[0069] Furthermore, in short-circuiting a well for the source electrode of MOSFET and controlling threshold voltage change, it is set to 0.3V from the threshold voltage (0.7V) of potential (1V of supply voltage)—MOSFET of $V_{node}=\text{High level}$ as node potential V_{node} . However, sufficient charge accumulated dose of a capacitor cannot be obtained to this extent then like the point.

[0070] Moreover, although performing a word line boost with a short circuit with a well is also considered in the source electrode of this MOSFET, it is set to 1.7V from supply voltage (1V) + threshold voltage (0.7V) as word line potential even in this case. Even in this case, it will be necessary to fully thicken gate oxide, and adjustment with other logic sections can be taken from becoming high word line potential to supply voltage 1V .

[0071] Moreover, the threshold of MOSFET is set up low beforehand and the problem on dependability of what can take large threshold variation if a large potential change is taken is produced with the conventional technique which raises source potential (or touch-down potential of a capacitor) at the time of un-operating, or lowers and sees well potential, and makes the upper threshold high. Then, if electrical-potential-difference change is set to 1V , threshold variation will be set to 0.2V and a threshold will be set as 0.5V as a suitable value, the threshold of 0.7V will be acquired at the time of OFF.

[0072] That is, the node potential V_{node} in this conventional technique is set to 0.4V from the variation (0.1V) of a supply voltage (1V)—threshold (0.5V)—threshold. However, sufficient charge accumulated dose of a capacitor cannot be obtained to this extent then like the point.

[0073] On the other hand, at the time of un-operating, the leakage current in a subthreshold field is reduced with a high threshold, and he raises the potential of Node N with a low threshold at the time of actuation, and is trying to raise the amount of stored charge of a capacitor 200 with this operation gestalt, by driving the 2nd gate electrode 102 of MOSFET100 which is a front-face side as an object for threshold control, as explained previously.

[0074] Moreover, with the operation gestalt shown in the circuit diagram (the 2) of drawing 7 (b), the 1st gate electrode 101 and the 2nd gate electrode 102 are short-circuited and used. That is, the short circuit with the 2nd gate electrode 102 similarly connected to word line W consists of connecting the 1st gate electrode 101 to word line W by the short circuit line S . In this case, threshold voltage V_{thb} by the 1st gate electrode 101 Amount of displacement ΔV_{thb} It becomes being the same as that of above several 4.

[0075] This example of count is shown in drawing 9. In the case of $T_{ox}=5\text{nm}$, $T_{oxb}=50\text{nm}$, and $T_{si}=25\text{nm}$, from this result, they are $\Delta V_{thb}=-4$ and ΔV_g . It becomes.

[0076] that is, V_{thb} setting it as 0.7V and short-circuiting the 1st gate electrode and the 2nd gate electrode — V_{thb} the bottom of 0.56V — **** — it is set to 0.14V .

[0077] By this, the potential V_{node} of Node N is set to 0.86V from supply voltage (1V)—threshold voltage (0.14V).

[0078] Namely, word line potential can lower only the threshold at the time of actuation with 1V [equal to supply voltage], and gate oxidization thickness can also arrange it now with other logic. Moreover, since it is 0.7V as threshold voltage on structure, the leakage current in a subthreshold field can also be controlled. Furthermore, the effectual threshold at the time of actuation can be lowered to 0.14V , node potential can be

raised to 0.86V, and the amount of stored charge of a capacitor 200 can also fully be secured.

[0079] In addition, although the above-mentioned example explained the case where the 1st gate electrode 101 and the 2nd gate electrode 102 were mainly short-circuited and used, you may make it input another electrical potential difference for control as an object for threshold control for either.

[0080] Moreover, although calculated by setting 1V and an effectual threshold to 0.14V as supply voltage, this is possible for not a limit but lowering a threshold further and making the amount of stored charge of a capacitor 200 increase so that the example of count of drawing 9 may also show.

[0081] Moreover, although the above-mentioned operation gestalt showed the example which uses the 2nd gate electrode 102 as an object for threshold control, you may make it use the 1st gate electrode 101 as an object for threshold control on the contrary.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a type section Fig. explaining the configuration of the semiconductor device used as the candidate for a drive.

[Drawing 2] It is a type section Fig. (the 1) explaining the production process of a semiconductor device.

[Drawing 3] It is a type section Fig. (the 2) explaining the production process of a semiconductor device.

[Drawing 4] It is drawing (forward bias) showing the threshold voltage V_{th} to the electrical potential difference V_{gb} for control.

[Drawing 5] It is drawing (reverse bias) showing the threshold voltage V_{th} to the electrical potential difference V_{gb} for control.

[Drawing 6] The 1st gate oxidation thickness Tox_1 It is drawing showing the receiving threshold voltage (multiplier).

[Drawing 7] It is a circuit diagram explaining the semiconductor device in this operation gestalt, and is the circuit diagram in which (a) shows the 1 and (b) shows the 2.

[Drawing 8] It is drawing (reverse bias) showing the threshold voltage V_{th} to the electrical potential difference V_{gb} for control which made channel high impurity concentration the parameter.

[Drawing 9] The 1st gate oxidation thickness Tox_1 It is drawing showing the receiving threshold voltage variation (multiplier).

[Drawing 10] It is a type section Fig. (the 1) explaining the conventional example.

[Drawing 11] It is a type section Fig. (the 2) explaining the conventional example.

[Description of Notations]

10 [— The 1st gate oxide, 21 / — The 1st gate electrode, 30 / — The 2nd gate oxide, 31 / -- The 2nd gate electrode, 100 / — MOSFET, 200 / — Capacitor] — A substrate, 11 — An embedding oxide film, 12 — Si, 20

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-256560

(43) 公開日 平成10年(1998) 9月25日

(51) Int.Cl.⁶
H 0 1 L 29/786
27/108
21/8242

識別記号

F I
H 0 1 L 29/78 6 1 7 N
27/10 6 7 1 C
29/78 6 1 3 B
6 2 2

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願平9-358848

(22) 出願日 平成9年(1997)12月26日

(31) 優先権主張番号 特願平9-2536

(32) 優先日 平9(1997)1月10日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 宮沢 芳宏

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

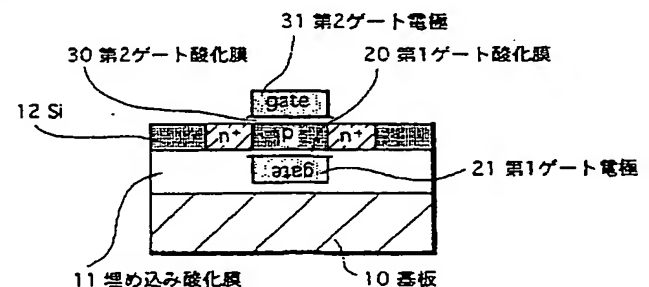
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 半導体装置の駆動方法および半導体装置

(57) 【要約】

【課題】 制御電圧に対する閾値電圧の変化率を大きくすること。また、閾値電圧を下げてメモリセルの蓄積電荷量を高めること。

【解決手段】 本発明は、基板10上の埋め込み酸化膜11を介して設けられたチャネル領域と、チャネル領域と対応する埋め込み酸化膜11内でチャネル領域との間に第1ゲート酸化膜20を介して設けられている第1ゲート電極21と、チャネル領域を間として第1ゲート電極21と反対側に第2ゲート酸化膜30を介して設けられている第2ゲート電極31とを備えている半導体装置において、第1ゲート電極21または第2ゲート電極31を信号入力用とし、第2ゲート電極31または第1ゲート電極21をゲート閾値制御用として駆動する方法である。また、MOSTランジスタと容量素子とを備えるメモリセルにおいてMOSTランジスタのゲート閾値を制御するゲート閾値制御手段を備えている半導体装置でもある。



【特許請求の範囲】

【請求項 1】 基板上の絶縁膜を介して設けられた半導体層に形成されているチャネル領域と、該チャネル領域と対応する前記絶縁膜内で該チャネル領域との間に該絶縁膜による第 1 ゲート絶縁膜を介して設けられている第 1 ゲート電極と、該チャネル領域を間として前記第 1 ゲート電極と反対側に第 2 ゲート絶縁膜を介して設けられている第 2 ゲート電極とを備えている半導体装置において、

前記第 1 ゲート電極または前記第 2 ゲート電極のうちの一方を信号入力用とし、他方をゲート閾値制御用として駆動することを特徴とする半導体装置の駆動方法。

【請求項 2】 前記第 1 ゲート絶縁膜と前記第 2 ゲート絶縁膜とのうち、膜厚の厚い方と対応する前記第 1 ゲート電極または前記第 2 ゲート電極を信号入力用とし、該膜厚の薄い方と対応する該第 2 ゲート電極または該第 1 ゲート電極をゲート閾値制御用として駆動することを特徴とする請求項 1 記載の半導体装置の駆動方法。

【請求項 3】 前記半導体装置は完全空乏型 SOI-MOS トランジスタから成ることを特徴とする請求項 1 記載の半導体装置の駆動方法。

【請求項 4】 MOS トランジスタと容量素子とからメモリセルが構成される半導体装置において、前記 MOS トランジスタはそのゲート閾値を制御するゲート閾値制御手段を備えていることを特徴とする半導体装置。

【請求項 5】 前記ゲート閾値制御手段は、前記 MOS トランジスタのチャネル領域の一方側に第 1 ゲート絶縁膜を介して設けられる第 1 ゲート電極と、前記チャネル領域の他方側に第 2 ゲート絶縁膜を介して設けられる第 2 ゲート電極と、前記第 1 ゲート電極と前記第 2 ゲート電極とを導通して同電位にする短絡手段とを備えていることを特徴とする請求項 4 記載の半導体装置。

【請求項 6】 前記ゲート閾値制御手段は、前記 MOS トランジスタのチャネル領域の一方側に第 1 ゲート絶縁膜を介して設けられる第 1 ゲート電極と、前記チャネル領域の他方側に第 2 ゲート絶縁膜を介して設けられる第 2 ゲート電極と、前記第 1 ゲート絶縁膜と前記第 2 ゲート絶縁膜とのうち膜厚の厚い方と対応する前記第 1 ゲート電極または前記第 2 ゲート電極に接続される信号入力線と、前記膜厚の薄い方と対応する第 2 ゲート電極または第 1 ゲート電極と接続されるゲート閾値制御線とを備えていることを特徴とする請求項 4 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、チャネル領域を挟む状態で 2 つのゲート電極が設けられた半導体装置の駆動方法および半導体装置に関する。

【0002】

【従来の技術】 従来、MOS-FET の閾値電圧 V_{th} は電源電圧 V_{DD} の $1/3$ 以下（例えば $1/5$ ）を目安に設定されている。このような MOS-FET において、回路の信号処理速度は MOS-FET の電流駆動能力に比例し、電源電圧 V_{DD} と閾値電圧 V_{th} との差 ($V_{DD} - V_{th}$) が大きいほど速くなる。一方、消費電力のうちの無駄に消費される分の主要因は MOS-FET のサブスレッシュホールド電流によるリーク電流であり、 $E \times P$ ($-V_{th}/S$) に比例する。

【0003】 ここで、 S は閾値 V_{th} より低いゲート電圧 V_{gs} の領域すなわちサブスレッシュホールド領域でのゲート電圧とドレイン電流 I_{ds} との対数の比 $\Delta V_{gs} / \Delta \log(I_{ds})$ である。つまり、処理速度向上の観点からは閾値電圧 $|V_{th}|$ をできるだけ小さくし、消費電力低減の観点からは閾値電圧 $|V_{th}|$ をできるだけ大きくする必要が生じている。

【0004】 近年では、ロジックの高速化と DRAM のデータ保持特性にかかわるリーク電流の減少の必要性とを同一の閾値電圧 V_{th} で満たすことが困難となり、DRAM 用には例えば $0.7V$ 、ロジック用には $0.4V$ という 2 つの閾値電圧を設定する集積回路が使用されるようになってきている。

【0005】 また、さらなる高速化、低電源電圧化に伴い、ロジック用も更に低い $0.2V$ 程度の閾値電圧を設定する場合もある。

【0006】 このような閾値電圧の低下においては、DRAM のデータ保持特性の観点のみならず総消費電力におけるサブスレッシュホールド領域のリーク電流成分が無視できなくなる。

【0007】 そこで、MOS-FET のチャネル下の基板にバイアス電圧を印加して閾値電圧 V_{th} を可変し、動作時には低い閾値電圧で高速動作し、非動作時には高い閾値電圧に変えてリーク電流を減少させる技術が考えられている。

【0008】 図 10 (a) に示す半導体装置は、基板 1 のウエル 2 内に形成されたソース 3、ドレイン 4、およびチャネル領域と、チャネル領域上にゲート酸化膜 6 を介して設けられたゲート 5 とを備えており、ウエル 2 と導通するウエル電極 7 を閾値電圧の制御端子としたバルク型 MOS トランジスタを示している。

【0009】 また、図 10 (b) に示す半導体装置は、基板 10 上の埋め込み酸化膜 11 を介して形成された Si (シリコン) 12 にチャネル領域が形成された SOI 型の半導体装置であり、チャネル下の空乏化していない層 (Floating Body 13) を閾値電圧の制御端子として使用する場合を示している。

【0010】 また、図 11 (a) は図 10 (a) に示すバルク型 MOS トランジスタにおいて、ウエル電極 7 に接続された制御端子 8 をゲート 5 と短絡して使用する場

合、図11(b)は図10(b)に示すSOI型の半導体装置において、ゲートに接続された制御端子8をFloating Body 13と短絡して使用する場合は各々示している。

【0011】また、近年ではDRAMのメモリ容量の増大に伴い、1ビット線につながるセル数も増加しており、読み出し時にビット線を駆動するのに必要な電荷量も大きくなってきている。

【0012】セルの電荷量を確保するには、キャパシタ容量を大きくする方法と電圧を高くする方法とがあるが、キャパシタ容量を大きくするとセル面積が大きくなり、キャパシタの高さが増して配線プロセスが複雑になってしまう。そこで、電圧を高くすることで電荷量を確保することが望まれている。

【0013】このような観点から、従来では、選択ワード線の電位を昇圧回路により電源より高い電位にし、Highレベル時のキャパシタのノード電位を電源電位に近い電位に引き上げる、いわゆるワード線ブーストが行われている。

【0014】また、MOSFETが逆方向の基板バイアスを受けて、その閾値が増大しないようソースと基板(実構造ではウェル)とを短絡することも行われている。

【0015】さらに、MOSFETの閾値を低く設定してキャパシタのノード電位を高めるようにするとともに、スタンバイ時(非動作時)にソース電位を上げることでサブスレッシュホールド領域でのリーク電流低減を図ることも行われている。

【0016】

【発明が解決しようとする課題】しかしながら、このような半導体装置の駆動方法および半導体装置には次のような問題がある。すなわち、図10(a)に示す例ではドレイン-基板間に、また図10(b)に示す例ではドレイン-Floating Body 13間にバイアスがかかるため、順バイアス状態で電流が流れださない条件では0.6V程度しか制御用の電圧を印加できない。これにより、閾値電圧の変化量をわずかししか得ることができないという問題がある。

【0017】しかも、閾値電圧を高くした場合には変化量が大きくなり、閾値電圧を小さくした場合には変化量が小さくなるというように、閾値電圧の変化量がその大きさに依存してしまい、閾値電圧を小さくする設定では変化量もわずかししか得られないという問題が生じる。

【0018】さらに、ドレイン-制御端子が接合分離されていることで順バイアス状態では寄生容量が大きくなってしまいう問題がある。また、逆バイアスにすることで大きな閾値電圧の変化量を得ることはできるが、大きな印加電圧が必要となり、微細パターンによって構成されるMOSトランジスタ等では耐圧等の信頼性の問題が生じてしまう。また、素子単位で制御電圧を変える

場合、バルク型MOSFETではウェルを素子毎に分離しなければならず素子の集積密度の低下を招くことになる。

【0019】また、DRAMのセルにおけるMOSFETにおいてワード線ブースト技術によりキャパシタ容量を増加させると、ワード線電位が高くなり、耐圧等の信頼性上必要なゲート酸化膜厚も厚くなり、このようなゲート酸化膜厚では他のロジック部との整合性が取れなくなってしまう。

【0020】また、MOSFETの閾値が増大しないようソースと基板とを短絡しても、閾値の増大分を抑制できるだけであり、キャパシタのノード電位を高めて十分な電荷量を確保するには至らない。

【0021】さらに、MOSFETの閾値を低く設定してキャパシタのノード電位を高め、サブスレッシュホールド領域でのリーク電流低減を図るため非動作時のソース電位を上げる場合でも、あまり高いソース電位を設定すると閾値変化量が増してしまう。このため、設定する閾値をあまり低くすることができず、十分な電荷量を確保できるほどノード電位を高くできないという問題がある。

【0022】

【課題を解決するための手段】本発明はこのような課題を解決するために成された半導体装置の駆動方法および半導体装置である。すなわち、本発明の半導体装置の駆動方法は、基板上の絶縁膜を介して設けられた半導体層に形成されているチャネル領域と、チャネル領域と対応する絶縁膜内でチャネル領域との間に絶縁膜による第1ゲート絶縁膜を介して設けられている第1ゲート電極と、チャネル領域を間として第1ゲート電極と反対側に第2ゲート絶縁膜を介して設けられている第2ゲート電極とを備えている半導体装置において、第1ゲート電極または第2ゲート電極を信号入力用とし、第2ゲート電極または第1ゲート電極をゲート閾値制御用として駆動する方法である。

【0023】このような本発明では、チャネル領域を挟む状態で設けられた第1ゲート電極と第2ゲート電極とにおいて、第1ゲート電極または第2ゲート電極を信号入力用とし、第2ゲート電極または第1ゲート電極をゲート閾値制御用として駆動することで、チャネル不純物濃度による閾値電圧と独立してゲート閾値制御用の電圧を設定でき、ゲート閾値制御電圧に対する閾値電圧変化量を大きくすることができるようになる。

【0024】また、本発明の半導体装置は、MOSトランジスタと容量素子とからメモリセルが構成されるものであり、MOSトランジスタのゲート閾値を制御するゲート閾値制御手段を備えている。

【0025】このような本発明では、ゲート閾値制御手段によってMOSトランジスタのゲート閾値を制御することから、動作時の閾値を低くしてメモリセルにおけ

るノード電位を高めて十分な電荷量を確保するとともに、非動作時の閾値を高くしてサブスレッシホールド領域でのリーク電流を低減できるようになる。

【0026】

【発明の実施の形態】以下に、本発明の半導体装置の駆動方法における実施の形態を図に基づいて説明する。図1は本実施形態の駆動方法にかかる半導体装置の構成を説明する模式断面図である。

【0027】すなわち、この半導体装置は、基板10上の絶縁膜である埋め込み酸化膜11を介して設けられたシリコン等の半導体層(Si12)に形成されているチャネル領域と、このチャネル領域と対応する埋め込み酸化膜11内でチャネル領域との間にその埋め込み酸化膜11による第1ゲート酸化膜20を介して設けられている第1ゲート電極21と、チャネル領域を間として第1ゲート電極21と反対側に第2ゲート酸化膜30を介して設けられている第2ゲート電極31とを備えるSOI構造のFETとなっている。

【0028】図2～図3はこの半導体装置の製造工程を順に説明する模式断面図である。まず、図2(a)に示すように、Si12の基板(例えば、725μm厚)を用意し、図2(b)に示すように、Si12をエッチングして所定の凹部を形成した状態で、SiO₂12a(例えば、0.06μm厚)とpoly-Si12b(例えば、5μm厚)とを積層する。この際、SiO₂12aを形成した後、凸状となるSi12の上に、例え

$$V_{th} = \phi_s - V_{FB} + \frac{1}{C_{ox} \left(\frac{1}{C_{si}} + \frac{1}{C_{oxb}} \right)} \left\{ \phi_s - (V_{gb} + V_{FBb}) + \frac{Q_{si}}{C_{oxb}} + \frac{Q_{si}}{2 C_{si}} \right\}$$

$$= \phi_s - V_{FB} + \frac{T_{ox}}{0.333 T_{si} + T_{oxb}} \left\{ \phi_s - (V_{gb} + V_{FBb}) + \frac{Q_{si}}{C_{oxb}} + \frac{Q_{si}}{2 C_{si}} \right\}$$

【0034】

【数2】

$$\Delta V_{th} = - \frac{T_{ox}}{0.333 T_{si} + T_{oxb}} \Delta V_{gb}$$

【0035】同様に、図1に示す半導体装置の第1ゲ

$$V_{thb} = \phi_{sb} - V_{FBb} + \frac{T_{oxb}}{0.333 T_{si} + T_{ox}} \left\{ \phi_{sb} - (V_g + V_{FB}) + \frac{Q_{si}}{C_{ox}} + \frac{Q_{si}}{2 C_{si}} \right\}$$

【0037】

【数4】

$$\Delta V_{thb} = - \frac{T_{oxb}}{0.333 T_{si} + T_{ox}} \Delta V_g$$

【0038】なお、上記各式においてφsはSi層表面ポテンシャル、φsbはSOI層裏面ポテンシャル、VFBはSi層表面フラットバンド電圧、VFBbはSOI層裏面フラットバンド電圧、Coxは第2ゲート容量、Coxbは第1ゲート容量、CsiはSi層容量、Toxは第2ゲート酸化膜厚、Toxbは第1ゲート酸化膜厚、TsiはSi層厚、QsiはSOI層不純物量、Vgは第2ゲート電極印加電圧、Vgbは第1ゲート電極印加電圧、Vthは第2

ば300nm厚のドーピングを施したpoly-Siから成る第1ゲート電極(図示せず)を形成しておく。次いで、図2(c)に示すように、poly-Si12bを平坦化研磨する。

【0029】次に、図3(a)に示すように、先の工程で平坦化したpoly-Si12bを介して基板10を貼り合わせる。その後、図3(b)に示すようにエッジの研削を行い、図3(c)に示すように、Si12の選択研磨を行い、例えば0.03μm厚の素子形成部のみを残すようにする。

【0030】本実施形態における半導体装置は、この素子形成部にチャネル領域を形成するにあたり、チャネル不純物濃度を下げる(例えば、5×10¹⁵cm⁻³)、またはSi12の層厚を薄くして(例えば、50nm)、ゲートとチャネルSiとのワークファンクション差でチャネル領域を空乏層化した完全空乏型SOIとしている。

【0031】このような第1ゲート電極21および第2ゲート電極31によってチャネル領域を挟む構造により、閾値電圧Vthと、その閾値電圧を制御した場合の変化量ΔVthとを各々別個に設定できるようになる。

【0032】ここで、図1に示す半導体装置の第2ゲート電極31を信号入力用、第1ゲート電極21を閾値制御用として駆動した場合の閾値電圧Vthおよび閾値電圧Vthの変位量ΔVthを数1および数2に示す。

【0033】

【数1】

ト電極21を信号入力用、第2ゲート電極31を閾値制御用として駆動した場合の閾値電圧Vthbおよび閾値電圧Vthbの変位量ΔVthbを数3および数4に示す。

【0036】

【数3】

ゲート電極を信号入力用とした場合の閾値電圧、Vthbは第1ゲート電極を信号入力用とした場合の閾値電圧を各々示している。

【0039】また、図1に示す半導体装置の第1ゲート電極21への印加電圧Vgbに対する第2ゲート電極31による閾値電圧Vthの変化を図4および図5に示す。図4は第1ゲート電極21へ順方向バイアスを加えた場合、図5は第1ゲート電極21へ逆方向バイアスを加えた場合である。

【0040】図4および図5において、横軸は第1ゲート電極21への印加電圧Vgb、縦軸左側は閾値電圧Vth、縦軸右側は閾値電圧の変化量ΔVthである。

【0041】ここで、半導体装置の高速動作とリーク電流低減のために必要となる閾値電圧 V_{th} の変化量の目安は次のようになる。

- (1) high V_{th} ... 0.7 (V)
- (2) medium V_{th} ... 0.4 ~ 0.6 (V)
- (3) low V_{th} ... 0.0 ~ 0.2 (V)

【0042】すなわち、高速動作を行う場合には比較的低い閾値電圧 V_{th} で動作させ、非動作時のリーク電流を抑制するためには比較的高い閾値電圧 V_{th} にしておく。上記の目安から、この閾値電圧 V_{th} の変化量としては0.3 (V) 程度が必要となる。

【0043】図4および図5に示すように、例えば第1ゲート酸化膜20 (図1参照)、第2ゲート酸化膜30 (図1参照) とともに5 nm厚とした場合には、第1ゲート電極21へ印加する制御用電圧0.8 (V) で閾値電圧 V_{th} の変化量 ΔV_{th} を0.3 (V) 得ることができる。

【0044】例えば、携帯通信端末において電池1本の電圧が1 (V) であった場合、この電源の範囲で0.3 (V) の閾値電圧の変化量が得られれば実用的である。これを満たす条件としては、

$(0.333 T_{si} + T_{oxb}) / T_{ox} < 3$
のようになる。

【0045】ただし、この条件を満たす第1ゲート酸化膜20の膜厚を得るにはプロセス中の熱処理の制約がある。そこで、本実施形態では、第1ゲート酸化膜20より第2ゲート酸化膜30の膜厚の方が薄く形成しやすい点に着目し、第2ゲート電極30へ閾値電圧制御用の電圧を印加し、第1ゲート電極20を信号入力用として駆動する。

【0046】数4から分かるように、第1ゲート酸化膜20の膜厚 T_{oxb} が第2ゲート酸化膜30の膜厚 T_{ox} に比べて大きくなればなるほど、第2ゲート電極31への印加電圧に対する第1ゲート電極21の閾値電圧 V_{thb} の変化率が大きくなる。この計算例を図6の一点鎖線で示す。なお、図6では、各係数の絶対値で示している。

【0047】実用的には閾値電圧の変化量よりも電流駆動能力の変化量の方が直接回路特性に効く。図6の破線は、第1ゲート酸化膜20を第2ゲート酸化膜30と同じ厚さ (例えば5 nm) とした場合における特性に換算した第1ゲート電極21での等価的閾値電圧 $E_{q. V_{th}}$ を示すものである。

【0048】例えば、第1ゲート酸化膜20の膜厚が40 nmであった場合、第2ゲート電極31に1 (V) の制御用電圧を印加することによって約0.6 (V) の閾値電圧の変化を得ることができる。すなわち、このような等価的閾値電圧 $E_{q. V_{thb}}$ に換算しても十分な効果が得られることが分かる。

【0049】この等価的閾値電圧 $E_{q. V_{th}}$ を式で表すと数5のようになる。ここで、 α はショートチャネル効

果を表す定数 ($1 \leq \alpha \leq 2$) である。

【0050】

【数5】

$$\Delta E_{q. V_{th}} = - \left(\frac{T_{ox}}{T_{oxb}} \right)^{\frac{1}{\alpha}} \frac{T_{oxb}}{0.333 T_{si} + T_{ox}} \Delta V_g$$

【0051】なお、本実施形態ではチャネル領域にSiを用いた例を示したが、本発明はこれに限定されず他の半導体 (例えば、GaAs) を用いたものであっても同様である。また、本実施形態ではSOI構造の半導体装置を駆動する例を示したが、駆動対象の半導体装置はSOI構造に限定されず、いわゆる薄膜構造 (例えば、FT) であっても適用可能である。

【0052】さらに、本実施形態では主として第1ゲート酸化膜20より第2ゲート酸化膜30の方が薄く、第2ゲート酸化膜30と対応する第2ゲート電極31を閾値電圧制御用とし、第1ゲート電極21を信号入力用として使用する例を示したが、本発明はこれに限定されず、第1ゲート電極21を閾値電圧制御用、第2ゲート電極31を信号入力用として使用してもよい。

【0053】次に、本発明の半導体装置における実施の形態を説明する。図7(a)は本実施形態の半導体装置であるDRAMのセルを示す回路図 (その1) である。すなわち、このDRAMのセルは、MOSFET100と、キャパシタ200とから構成され、このMOSFET100として先に説明した第1ゲート電極21 (図1参照) と対応する第1ゲート電極101および第2ゲート電極31 (図1参照) と対応する第2ゲート電極102の2つを備えたものが適用されている。

【0054】なお、図7(a)に示すMOSFET100において、ビット線B側の電極とキャパシタ200側の電極とは動作状態によりその電位関係が異なるが、本実施形態では便宜上ビット線B側をドレインD、キャパシタ200側をソースSとする。

【0055】MOSFET100の第1ゲート電極101にはワード線Wが接続される。このワード線Wは非動作時にはLowレベルとなり、セルへのデータ書き込みおよび読み出し時にはHighレベルとなる。

【0056】また、ビット線Bは通常電源電圧の1/2に保持しておき、データの書き込み時には書き込むべき情報に対応したLowレベルまたはHighレベルの電位となる。読み出し時にはキャパシタ200の蓄積電荷、ビット線Bの寄生容量の蓄積電荷、ビット線Bに接続された他のセルのMOSFETのドレイン寄生容量の蓄積電荷を各容量で分配した電位となる。

【0057】キャパシタ200の蓄積電荷は、Lowレベルが書き込まれた時は「0」、一方、Highレベルが書き込まれた時は $Q = C \cdot V_{node}$ となる。ここで、Qは蓄積電荷量、Cはキャパシタ200の容量、VnodeはノードNの電位 ($V_{node} = \text{Highレベルの電位} - \text{MOSFET100の閾値電圧}$) である。

【0058】このような本実施形態のDRAMのセルでは、MOSFET100の例えば表面側である第2ゲート電極102を制御線Tに接続して閾値制御用として駆動することによって、動作時には低閾値でノードNの電位を高めてキャパシタ200の蓄積電荷量を高め、非動作時には高閾値でサブスレッシュホールド領域でのリーク電流を低減する点に特徴がある。

【0059】本実施形態では、MOSFET100の閾値電圧として、キャパシタ200の電荷がMOSFET100を介して放電し、データリテンション特性が劣化しないような値に設定する。

【0060】ここで、MOSFET100のリーク電流は、サブスレッシュホールド電流と接合リーク電流とからなる。接合リーク電流はMOSFET100の電極形成のためのソース領域を形成する接合で物性定数と接合面積とで決められる。また、サブスレッシュホールド電流は、閾値設定で変えることができ、

$$I_{ls} = I_0 \cdot \exp(-V_{th}/S)$$

で表すことができる。

【0061】この式で、 I_{ls} はサブスレッシュホールド電流、 I_0 は物性定数で決まる量、 S は物性定数と構造とで決まる量、 V_{th} は閾値電圧である。

【0062】 S は65mV~100mVの値をもつため、閾値電圧 V_{th} が65mV~100mVだけ高くなるとサブスレッシュホールド電流は1桁小さくなる。したがって、通常閾値電圧 V_{th} を0.7V程度に設定しておく。

【0063】そこで、電源電圧1Vの時にビット線BからHighレベルの1Vを書き込む場合のノード電位を従来技術と比べて考える。

【0064】図8は制御用電圧 V_{gb} に対する閾値電圧 V_{th} を示す図(逆方向バイアス)であり、チャネル不純物濃度 N_a をパラメータとしたものである。この図より、例えばチャネル不純物 N_a が $3 \times 10^{17} \text{ cm}^{-3}$ の場合において、制御用電圧 V_{gb} として1Vの逆バイアスがかかったとき、閾値電圧は0.2V高くなることが分かる。

【0065】キャパシタ200の必要電荷蓄積量はソフトエラー耐性として必要な約30fCである。また、近年のメモリの大容量化にともない、1ビット線につながるセル数が増加し、読み出し時にビット線Bを駆動するのに必要な電荷量も上記と同様な値となっている。

【0066】いま、ワード線Bの電位を電源電圧の1Vとすると、従来のセル構造におけるノード電位 V_{node} は、 $V_{node} = \text{High}$ レベルの電位(電源電圧の1V) - MOSFETの閾値電圧(0.7V) - 閾値の変化量(0.07V)より0.23Vとなり、キャパシタの十分な電荷蓄積を得ることができない。

【0067】また、従来のワード線ブースト技術によってノード電位を約1Vまで上げた場合には、約4倍の電荷蓄積量を得ることができるものの、そのために必要な

ワード線の電位は、電源電圧(1V) + 閾値電圧(0.7V) + 閾値の変化量(0.2V)から求まるように1.9Vすなわち電源電圧の約2倍になってしまう。

【0068】このため、耐圧等の信頼性を確保する上でゲート酸化膜を十分に厚くしなければならず、このようなゲート酸化膜厚では他のロジック部との整合性がとれなくなってしまう。

【0069】さらに、MOSFETのソース電極をウェルとを短絡して閾値電圧変化を抑制する場合には、ノード電位 V_{node} として、 $V_{node} = \text{High}$ レベルの電位(電源電圧の1V) - MOSFETの閾値電圧(0.7V)より0.3Vとなる。しかしながら、この程度では先と同様キャパシタの十分な電荷蓄積量を得ることができない。

【0070】また、このMOSFETのソース電極をウェルとの短絡とともに、ワード線ブーストを行うことも考えられるが、この場合でも、ワード線電位として電源電圧(1V) + 閾値電圧(0.7V)から1.7Vとなる。この場合でも電源電圧1Vに対して高いワード線電位になることから、十分にゲート酸化膜を厚くする必要が生じ、他のロジック部との整合性が取れないことになる。

【0071】また、MOSFETの閾値を予め低く設定しておき、非動作時にソース電位(または、キャパシタの接地電位)を上げるか、またはウェル電位を下げて見かけ上の閾値を高くする従来技術では、電位変化を大きくすると閾値変化量を大きくとることができるものの、信頼性上の問題を生じる。そこで、適当な値として、電圧変化を1Vとすると閾値変化量は0.2Vとなり、閾値を0.5Vに設定すればオフ時に0.7Vの閾値が得られる。

【0072】つまり、この従来技術におけるノード電位 V_{node} は、電源電圧(1V) - 閾値(0.5V) - 閾値の変化量(0.1V)より0.4Vとなる。しかし、この程度では先と同様キャパシタの十分な電荷蓄積量を得ることができない。

【0073】これに対し、本実施形態では、先に説明したように、MOSFET100の例えば表面側である第2ゲート電極102を閾値制御用として駆動することによって、非動作時には高閾値でサブスレッシュホールド領域でのリーク電流を低減し、動作時には低閾値でノードNの電位を高めてキャパシタ200の蓄積電荷量を高めるようにしている。

【0074】また、図7(b)の回路図(その2)に示す実施形態では、第1ゲート電極101と第2ゲート電極102とを短絡して使用している。すなわち、第1ゲート電極101を短絡線Sによってワード線Wに接続することで、同じくワード線Wに接続されている第2ゲート電極102との短絡を構成している。この場合、第1ゲート電極101による閾値電圧 V_{thb} の変位量 ΔV_{th}

b は上記の数 4 と同様となる。

【0075】この計算例を図 9 に示す。この結果より、 $T_{ox}=5\text{ nm}$ 、 $T_{oxb}=50\text{ nm}$ 、 $T_{si}=25\text{ nm}$ の場合、 $\Delta V_{thb}=-4\cdot\Delta V_g$ となる。

【0076】つまり、 V_{thb} を 0.7 V に設定し、第 1 ゲート電極と第 2 ゲート電極とを短絡することで V_{thb} が 0.56 V 下がって 0.14 V となる。

【0077】これによって、ノード N の電位 V_{node} は、電源電圧 (1 V) - 閾値電圧 (0.14 V) より、 0.86 V となる。

【0078】すなわち、ワード線電位は電源電圧と等しい 1 V のままで動作時の閾値だけを下げることができ、ゲート酸化膜厚も他のロジックと揃えることができるようになる。また、構造上の閾値電圧としては 0.7 V であることから、サブスレッシュホールド領域でのリーク電流も抑制することができる。さらに、動作時における実効的な閾値を 0.14 V まで下げることができ、ノード電位を 0.86 V まで高めてキャパシタ 200 の蓄積電荷量を十分に確保することもできる。

【0079】なお、上記例では主として第 1 ゲート電極 101 と第 2 ゲート電極 102 とを短絡して使用する場合を説明したが、いずれか一方を閾値制御用として別の制御用電圧を入力するようにしてもよい。

【0080】また、電源電圧として 1 V 、実効的な閾値を 0.14 V として計算を行ったが、図 9 の計算例からも分かるようにこれが限度ではなく、更に閾値を下げてキャパシタ 200 の蓄積電荷量を増加させることも可能である。

【0081】また、上記実施形態では、第 2 ゲート電極 102 を閾値制御用として使用する例を示したが、反対に第 1 ゲート電極 101 を閾値制御用として使用するようにしてもよい。

【0082】

【発明の効果】以上説明したように、本発明の半導体装置の駆動方法および半導体装置によれば次のような効果がある。すなわち、チャネル領域を挟む状態で第 1 ゲート電極と第 2 ゲート電極とを設け、このうち的一方を信号入力用、他方を閾値電圧制御用として駆動することにより、チャネル不純物濃度による閾値電圧と独立してゲート閾値制御用の電圧を設定することが可能となる。また、ゲート閾値制御電圧に対して大きな閾値電圧変化率

を得ることができ、閾値制御性の向上を図ることが可能となる。

【0083】また、メモリセルの書き込みにおいて、MOS トランジスタの閾値電圧を下げることで電圧損失を少なくすることができ、付加回路なしで容量素子への十分な電荷蓄積量を確保することが可能となる。さらに、ワード線電位を電源電圧よりも高める必要がないことから耐圧等の信頼性が高く、またゲート酸化膜厚を他のロジック回路と合わせることができ、製造上の整合性を高めることも可能となる。

【図面の簡単な説明】

【図 1】駆動対象となる半導体装置の構成を説明する模式断面図である。

【図 2】半導体装置の製造工程を説明する模式断面図（その 1）である。

【図 3】半導体装置の製造工程を説明する模式断面図（その 2）である。

【図 4】制御用電圧 V_{gb} に対する閾値電圧 V_{th} を示す図（順方向バイアス）である。

【図 5】制御用電圧 V_{gb} に対する閾値電圧 V_{th} を示す図（逆方向バイアス）である。

【図 6】第 1 ゲート酸化膜厚 T_{oxb} に対する閾値電圧（係数）を示す図である。

【図 7】本実施形態における半導体装置を説明する回路図で、(a) はその 1、(b) はその 2 を示す回路図である。

【図 8】チャネル不純物濃度をパラメータとした制御用電圧 V_{gb} に対する閾値電圧 V_{th} を示す図（逆方向バイアス）である。

【図 9】第 1 ゲート酸化膜厚 T_{oxb} に対する閾値電圧変化率（係数）を示す図である。

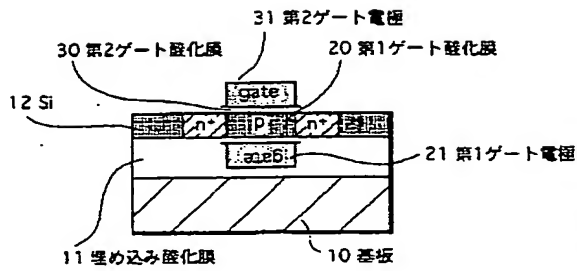
【図 10】従来例を説明する模式断面図（その 1）である。

【図 11】従来例を説明する模式断面図（その 2）である。

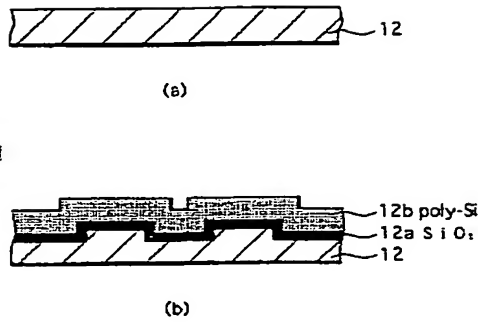
【符号の説明】

10…基板、11…埋め込み酸化膜、12…Si、20…第 1 ゲート酸化膜、21…第 1 ゲート電極、30…第 2 ゲート酸化膜、31…第 2 ゲート電極、100…MOSFET、200…キャパシタ

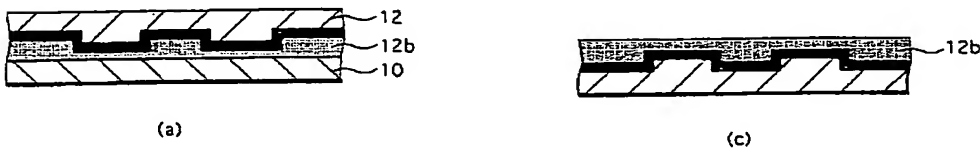
【図1】



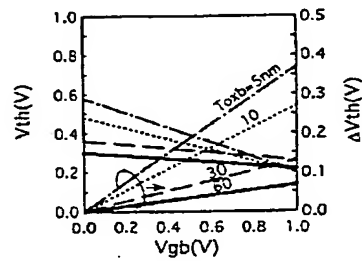
【図2】



【図3】

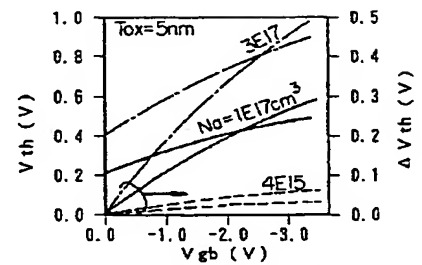


【図4】



試料 完全窒素型SOI MOS
ゲート 表: n-PolySi, 裏: p-PolySi
Tox: 5nm, Tsi: 25nm, Na: $5 \times 10^{17} \text{cm}^{-3}$

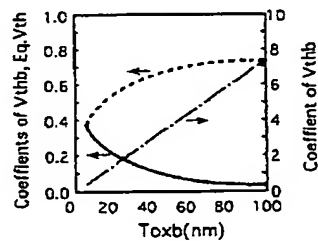
【図8】



Tox=第2ゲート酸化膜厚
Vgb=第1ゲート電位
 $\Delta V_{th} = V_{th}$ シフト量
Na=チャネル不純物濃度

(c)

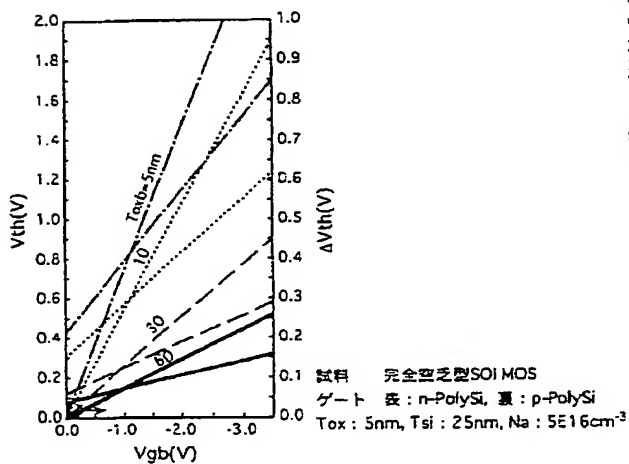
【図6】



試料 完全窒素型SOI MOS
Tox: 5nm, Tsi: 25nm, $\alpha: 1.3$

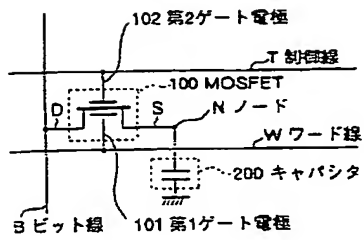
— V_{th} の係数
--- Eq. V_{th} の係数
--- V_{thb} の係数

【図5】



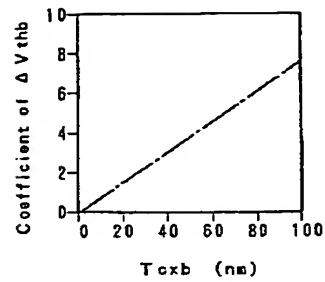
試料 完全窒素型SOI MOS
ゲート 表: n-PolySi, 裏: p-PolySi
Tox: 5nm, Tsi: 25nm, Na: $5 \times 10^{16} \text{cm}^{-3}$

【図 7】

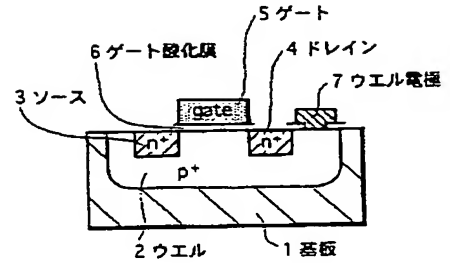


(a)

【図 9】

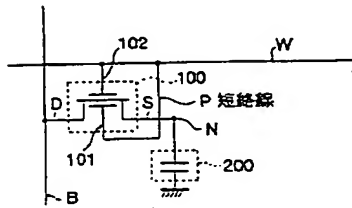


【図 10】

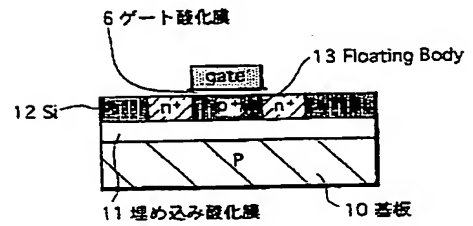


(a)

試料 完全空乏型SOIMOS
 $Tox: 5nm$, $Tsi: 25nm$

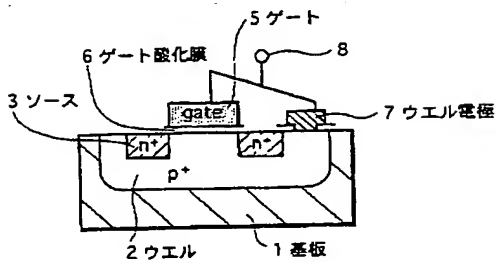


(b)

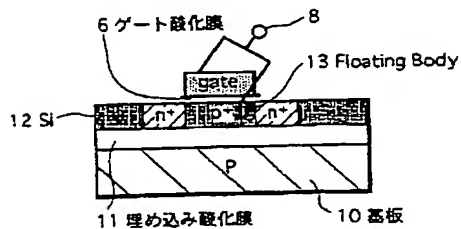


(b)

【図 11】



(a)



(b)